

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-008361**
(43)Date of publication of application : **12.01.1999**

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/28
H01L 21/8234
H01L 27/088
H01L 29/78
H01L 21/336

(21)Application number : **09-161671**
(22)Date of filing : **18.06.1997**

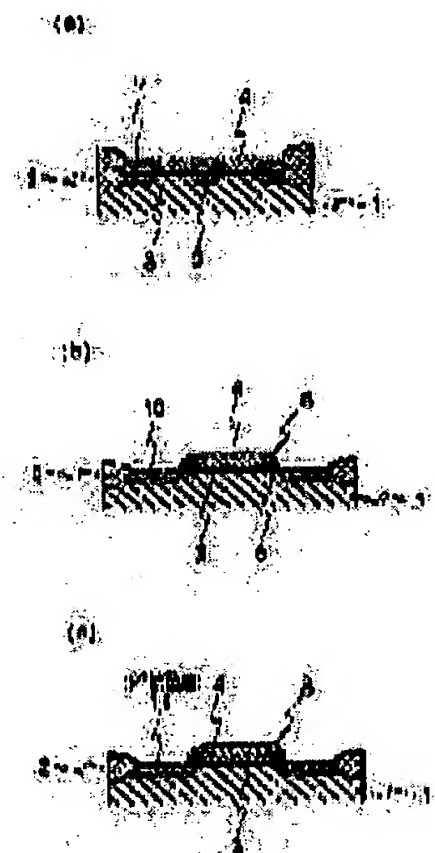
(71)Applicant : **NEC CORP**
(72)Inventor : **MORI HIDEMITSU**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily prevent exposing a diffused layer portion inside of a memory cell to an etching atmosphere, in forming an insulating film sidewall on a gate electrode sidewall of a peripheral circuit portion.

SOLUTION: A number of first transistors having a constant spacing of a gate electrode 4 are formed inside of a memory cell (a) on a P--semiconductor substrate 1, and a number of second transistors having spacings for a gate electrode 4 broader than that of the first transistors are formed in peripheral circuit portions (b) and (c) on the P--semiconductor substrate 1. On the entire surfaces of the inside of the memory cell (a) and the peripheral circuit portions (b) and (c), a silicon oxide film having a constant thickness is applied. By etching this entire silicon oxide film, an embedded silicon oxide film 7 is formed between the gate electrodes 4 of the first transistor, and a silicon oxide film sidewall 8 is formed on the gate electrode 4 of the second transistor.

**LEGAL STATUS**

[Date of request for examination] 18.06.1997
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3061117

[Date of registration] 28.04.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8361

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 27/108
21/8242
21/28
21/8234
27/088

3 0 1

H 0 1 L 27/10 6 8 1 F
21/28 3 0 1 T
27/08 1 0 2 D
27/10 6 2 1 B
6 7 1 Z

審査請求 有 請求項の数 8 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平9-161671

(22) 出願日

平成9年(1997) 6月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森 秀光

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 高橋 勇

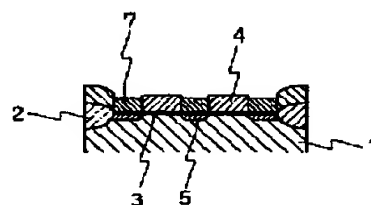
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

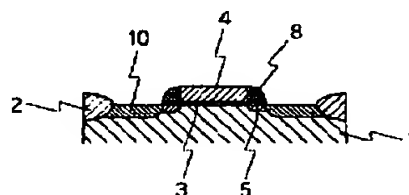
【課題】 周辺回路部のゲート電極側壁に絶縁膜サイドウォールを形成する際に、メモリセル内の拡散層部がエッチング雰囲気にも曝されることを、簡単に防止する。

【解決手段】 P- 半導体基板1上のメモリセル内 (a) に一定のゲート電極4間隔を有する多数の第1のトランジスタを形成するとともに、P- 半導体基板1上の周辺回路部 (b) (c) に第1のトランジスタよりも広いゲート電極4間隔を有する多数の第2のトランジスタを形成し、メモリセル内 (a) 及び周辺回路部 (b) (c) の全面に一定の膜厚のシリコン酸化膜を被着し、このシリコン酸化膜全体をエッチングすることにより、第1のトランジスタのゲート電極4間には埋め込みシリコン酸化膜7を形成するとともに、第2のトランジスタのゲート電極4にはシリコン酸化膜サイドウォール8を形成する。

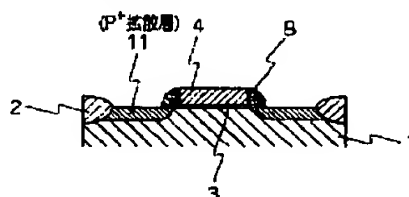
(a) メモリセル内



(b) 周辺回路部(Nch)



(c) 周辺回路部(Pch)



【特許請求の範囲】

【請求項1】 半導体基板上の第1の領域に一定のゲート電極間隔を有する多数の第1のトランジスタを形成するとともに、前記半導体基板上の第2の領域に前記第1のトランジスタよりも広いゲート電極間隔を有する多数の第2のトランジスタを形成し、

これらの第1及び第2の領域の全面に一定の膜厚の絶縁膜を被着し、

この絶縁膜全体をエッチングすることにより、前記第1のトランジスタのゲート電極間には前記絶縁膜からなる埋め込み層を形成するとともに、前記第2のトランジスタのゲート電極には前記絶縁膜からなる側壁を形成する、

半導体装置の製造方法。

【請求項2】 前記絶縁膜の膜厚をDとし、前記第1のトランジスタのゲート電極間隔をSとしたときに、 $S < 2 \times D$

の関係が成り立つ、請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1のトランジスタのゲート電極間には前記絶縁膜からなる埋め込み層を形成するとともに、前記第1のトランジスタのゲート電極には前記絶縁膜からなる側壁を形成した後に、

前記第1及び第2の領域の全面に金属膜を被着し、この金属膜と前記半導体基板の母材とを加熱により反応させる、

請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記第1のトランジスタのゲート電極間には前記絶縁膜からなる埋め込み層を形成するとともに、前記第1のトランジスタのゲート電極には前記絶縁膜からなる側壁を形成した後に、

前記第1及び第2の領域の全面に金属膜を被着し、この金属膜と前記半導体基板の母材及び前記ゲート電極とを加熱により反応させる、

請求項1又は2記載の半導体装置の製造方法。

【請求項5】 前記半導体基板の母材がシリコンであり、前記金属膜がチタン又は遷移金属元素である、請求項3又は4記載の半導体装置の製造方法。

【請求項6】 前記ゲート電極がポリシリコン又はシリサイドからなる、請求項4記載の半導体装置の製造方法。

【請求項7】 前記半導体装置がメモリ素子であり、前記第1の領域がメモリセル内であり、前記第2の領域が周辺回路部である、請求項1、2、3、4、5又は6記載の半導体装置の製造方法。

【請求項8】 前記メモリ素子がDRAMである請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造

方法に関し、特にメモリセルを含むICにおけるトランジスタの形成方法に特徴を有する、半導体装置の製造方法に関する。

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) に代表されるメモリは、一つのチップ内がメモリセル部と周辺回路部とに大別される。DRAMの場合、メモリセル内のトランジスタには、ソース・ドレイン領域の一方の側にキャパシタが形成されるため、高い電荷保持特性が要求される。一方、周辺回路部のトランジスタには、高速化を図るため、高い電流駆動能力が要求される。

【0003】これらの要求を同時に満たすものとして、高い信頼性を有しながら高い電流駆動能力を示すと言われる、LDD (Lightly Doped Drain) トランジスタ等が知られている。LDDトランジスタ等を形成する際には、ゲート電極側壁に絶縁膜のサイドウォールを形成する必要がある。ところが、このサイドウォール形成におけるエッチングの際に、メモリセル内の拡散層もエッチング雰囲気にも曝されるので、結晶欠陥が発生し、これにより電荷保持特性が劣化するという問題がある。

【0004】この問題を解決するために、トランジスタ形成後に、メモリセル内のみのトランジスタ表面を絶縁膜で覆い、周辺回路部のトランジスタ表面を絶縁膜で覆わない方法が提案されている。その中の一例が、図12乃至図19に示すような方法である（特公平8-21687号公報参照）。

【0005】図12乃至図19は第1従来例を示す断面図である。各図における(a)、(b)、(c)は、それぞれメモリセル内、周辺回路部(Nch)、周辺回路部(Pch)を示している。

【0006】まず、図12に示すように、P-型半導体基板1上に通常の選択酸化(LOCOS-Local Oxidation of Silicon)法等の方法により、フィールド酸化膜2を形成する。フィールド酸化膜2によって区画された素子能動領域上にゲート酸化膜3を形成した後に、例えば膜厚200nm程度のポリシリコン膜やタングステンシリサイド膜のような導電膜を全面に成長させる。この導電膜を、所定の形状にパターニングを行い、ゲート電極4を形成する。続いて、周辺回路部(Pch)上のみにレジストを形成し、例えばリンのような不純物の注入により、メモリセル内と周辺回路部(Nch)の拡散層部のみにN-拡散層5を形成した後、レジストを除去する。

【0007】続いて、図13に示すように、例えば膜厚100nm程度のシリコン酸化膜6を全面に成長させる。

【0008】続いて、図14に示すように、メモリセル内の上部のみにレジストを形成して、シリコン酸化膜6

のエッチングを行った後に、レジストを除去する。これにより、メモリセル内にはシリコン酸化膜6が全面に残っており、周辺回路部ではゲート側壁にシリコン酸化膜サイドウォール8が形成される状態になる。

【0009】続いて、図15に示すように、例えば膜厚200nm程度のシリコン酸化膜25を全面に成長させる。

【0010】続いて、図16に示すように、シリコン酸化膜25のエッチングを行い、シリコン酸化膜サイドウォール26を形成する。続いて、メモリセル内と周辺回路部(Pch)の上部にレジストを形成した後、例えばリンや砒素のような不純物の注入を行い、周辺回路部(Nch)のみにN⁺拡散層10を形成する。さらに、メモリセル内と周辺回路部(Nch)の上部にレジストを形成した後、例えばボロンやBF₂のような不純物の注入を行い、周辺回路部(Pch)のみにP⁺拡散層11を形成する。

【0011】さらに、図17に示すように、例えば膜厚300nm程度の例えばリンやボロンを含むシリコン酸化膜のような層間絶縁膜12を全面に成長する。その後、メモリセル内の所定の領域に開口を形成した後、開口部内に例えばリンを含むポリシリコンのような埋め込み導電膜13を形成する。続いて、全面に例えば膜厚200nm程度のタングステンシリサイド膜のような導電膜を全面に成長させ、この導電膜にパターニングを行い、ビット線14を形成する。

【0012】続いて、図18に示すように、例えば膜厚300nm程度のリンとボロンを含むシリコン酸化膜のような層間絶縁膜15を全面に形成した後、層間絶縁膜15の所定の領域に開口部を形成する。さらに、例えば膜厚600nm程度のリンを含むポリシリコンのような導電膜を全面に形成し、所定の形状にパターニングを行い、キャパシタ下部電極16を形成する。

【0013】続いて、図19に示すように、例えば膜厚6nm程度のシリコン窒化膜のようなキャパシタ絶縁膜17を全面に成長した後、例えば膜厚200nm程度のリンを含むポリシリコンのような導電膜を全面に成長した後、パターニングを行い、メモリセル内のみにキャパシタ上部電極18を形成する。さらに、例えばリンとボロンを含むシリコン酸化膜とノンドープのシリコン酸化膜との複合膜による層間絶縁膜19を全面に形成した後、周辺回路部の所定の領域に開口部を形成する。開口部内部に例えばタングステンのような導電膜による埋め込み導電膜20形成した後、例えばチタン、窒化チタン、シリコンや銅を含むアルミ、窒化チタンのような膜を順次形成した後、パターニングを行い、低抵抗配線21を形成する。

【0014】以上によりDRAMのメモリセル内及び周辺回路部の基本的な部分を形成することが可能になる。この第1従来例によれば、周辺回路部においてはゲート

電極4側壁に絶縁膜サイドウォールを形成することが可能になるため、Nch部ではいわゆるLDD(Lightly Doped Drain)トランジスタ、Pch部ではBC-LDD(Buried Channel LDD)トランジスタを形成することが可能になり、トランジスタの信頼性を向上しつつ、高い電流駆動能力を得ることが可能になる。また、メモリセル内においては、メモリセルが絶縁膜で覆われていることから、メモリセル内のN⁻拡散層5がエッチング雰囲気には曝されないことにより、結晶欠陥発生が抑制され、メモリセルの電荷保持特性の向上が図れる。

【0015】次に、第2従来例について説明する。第2従来例においては、一般的な方法である拡散層部のチタンシリサイド化を第1従来例に用いることにより、さらにトランジスタの電流駆動能力の向上が図れるものである。その中の一例が図20乃至図24に示すような方法である。

【0016】まず、図20に示すように、P⁻型半導体基板1上に通常の選択酸化(LOCOS-Local Oxidation of Silicon)法等の方法により、フィールド酸化膜2を形成する。フィールド酸化膜2によって区画された素子能動領域上にゲート酸化膜3を形成した後、例えば膜厚200nm程度のポリシリコン膜やタングステンシリサイド膜のような導電膜を全面に成長させ、この導電膜に所定の形状にパターニングを行い、ゲート電極4を形成する。続いて、周辺回路部(Pch)上のみにレジストを形成し、例えばリンのような不純物の注入により、メモリセル内と周辺回路部(Nch)の拡散層部のみにN⁻拡散層5を形成した後、レジストを除去する。

【0017】続いて、図21に示すように、例えば膜厚100nm程度のシリコン窒化膜27を全面に成長させる。

【0018】続いて、図22に示すように、シリコン窒化膜27のエッチングを行い、ゲート電極4の側壁にシリコン窒化膜サイドウォール22を形成する。続けて、メモリセル内と周辺回路部(Pch)の上部にレジストを形成した後、例えばリンや砒素のような不純物の注入を行い、周辺回路部(Nch)のみにN⁺拡散層10を形成する。さらに、メモリセル内と周辺回路部(Nch)の上部にレジストを形成した後、例えばボロンやBF₂のような不純物の注入を行い、周辺回路部(Pch)のみにP⁺拡散層11を形成する。

【0019】続いて、図23に示すように、例えば膜厚80nm程度のチタンをスパッタ法により全面に成長した後、窒素雰囲気中で熱処理を行う。さらに、未反応のチタンを硫酸および過酸化水素の混合液中で除去する。以上により、ゲート上チタンシリサイド膜23、拡散層上チタンシリサイド膜24を形成する。ここで、拡散層上にチタンシリサイドを形成しているが、コバルトシリサ

イドのような、シリコンと遷移金属元素とからなるシリサイド膜でもよい。このような反応を、一般的にはサリサイド化と呼んでいる。

【0020】続いて、図24に示すように、例えば膜厚300nm程度の例えばリンやボロンを含むシリコン酸化膜のような層間絶縁膜12を全面に成長させる。その後、メモリセル内の所定の領域に開口を形成した後、開口部内に例えばリンを含むポリシリコンのような埋め込み導電膜13を形成する。全面に例えば膜厚200nmのタングステンシリサイド膜のような導電膜を全面に成長した後、パターニングを行い、ビット線14を形成する。続いて、例えば膜厚300nm程度のリンとボロンを含むシリコン酸化膜のような層間絶縁膜15を全面に形成した後、層間絶縁膜15の所定の領域に開口部を形成する。さらに、例えば膜厚600nm程度のリンを含むポリシリコンのような導電膜を全面に形成し、所定の形状にパターニングを行い、キャパシタ下部電極16を形成する。続いて、例えば膜厚6nmのシリコン窒化膜のようなキャパシタ絶縁膜17を全面に成長した後、例えば膜厚200nmのリンを含むポリシリコンのような導電膜を全面に成長した後、パターニングを行い、メモリセル内のみにキャパシタ上部電極18を形成する。さらに、例えばリンとボロンを含むシリコン酸化膜とノンドープのシリコン酸化膜との複合膜による層間絶縁膜19を全面に形成した後、周辺回路部の所定の領域に開口部を形成する。開口部内部に例えばタングステンのような導電膜による埋め込み導電膜20形成した後、例えばチタン、窒化チタン、シリコンや銅を含むアルミ、窒化チタンのような膜を順次形成した後、パターニングを行い、低抵抗配線21を形成する。

【0021】第2従来例によれば、拡散層上部がサリサイド化されることにより、トランジスタの電流駆動能力の向上が図れる。また、ゲート電極上部がサリサイド化されることにより、ゲート電極の低抵抗化が図れる。

【0022】

【発明が解決しようとする課題】第1の問題点は第1従来例に関する。すなわち、周辺回路部のゲート電極側壁にシリコン酸化膜サイドウォール8を形成する際に、メモリセル内をエッチング雰囲気には曝されないようにするため、メモリセル内をレジストで覆う必要がある。したがって、上記リソグラフィーと酸化膜エッチングそれぞれ1回の工程数の増大と、リソグラフィーのためのレチクルの作成が必要となってくる。

【0023】第2の問題点は第2従来例に関する。すなわち、メモリセル内のN⁻拡散層5では、拡散層のサリサイド化に耐えるために深い接合を形成する必要がある。このため、トランジスタの短チャネル効果が発生し易くなり、DRAMメモリセルの微細化には不利となる。また、N⁻拡散層5をサリサイド化することにより、欠陥が増加し、N⁻拡散層5部の接合リークが増加

する。これにより、メモリセルの電荷保持特性が劣化する現象が起こる。

【0024】

【発明の目的】本発明の第1の目的は、周辺回路部に高信頼性かつ高い電流駆動能力を有するLDDトランジスタを形成するために、ゲート電極側壁に絶縁膜サイドウォールを形成する際に、特別な工程を追加することなく、メモリセル内の拡散層部が、エッチング雰囲気には曝されることを防止できる、半導体装置の製造方法を提供することにある。

【0025】本発明の第2の目的は、周辺回路部の電流駆動能力を向上させるための拡散層部のサリサイド化を行う際に、メモリセル内の拡散層上ではサリサイド化が行われないようにし、メモリセル内のトランジスタの短チャネル効果発生を抑制し、加えて接合リークの増加の抑制できる、半導体装置の製造方法を提供することにある。

【0026】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、①. 半導体基板上の第1の領域に一定のゲート電極間隔を有する多数の第1のトランジスタを形成するとともに、前記半導体基板上の第2の領域に前記第1のトランジスタよりも広いゲート電極間隔を有する多数の第2のトランジスタを形成し、②. これらの第1及び第2の領域の全面に一定の膜厚の絶縁膜を被着し、③. この絶縁膜全体をエッチングすることにより、前記第1のトランジスタのゲート電極間には前記絶縁膜からなる埋め込み層を形成するとともに、前記第1のトランジスタのゲート電極には前記絶縁膜からなる側壁を形成する、という工程を基本的に備えている。また、絶縁膜の膜厚Dと、第1のトランジスタのゲート電極間隔Sとは、 $S < 2 \times D$ の関係が成り立つように、設定することが好ましい。例えば、前記半導体装置はメモリ素子であり、前記第1の領域はメモリセル内であり、前記第2の領域は周辺回路部である。

【0027】工程③において、第1のトランジスタではゲート電極間が自己整合的に絶縁膜で埋め込まれ、第2のトランジスタではゲート電極に絶縁膜による側壁が形成される。これにより、工程③のエッチング時において、第1のトランジスタのゲート電極間すなわち拡散層上は、絶縁膜で被覆されているので、エッチング雰囲気には曝されることがない。

【0028】さらに、工程③の後に、④. 前記第1及び第2の領域の全面に金属膜を被着し、⑤. この金属膜と前記半導体基板の母材とを加熱により反応させる、という工程を付加してもよい。工程④において、第1のトランジスタの拡散層上（ゲート電極間）は絶縁膜で被覆されたままであり、第2のトランジスタの拡散層上（ゲート電極間）は側壁のある部分を除き剥き出しとなっている。したがって、工程⑤において、第1のトランジスタ

の拡散層は金属膜と反応せず、第2のトランジスタの拡散層は金属膜と反応する。

【0029】

【発明の実施の形態】次に、本発明の第1実施形態を図面を参照して説明する。図1及び図2は初期工程の断面図、図3及び図4は中期工程の断面図、図5は主要工程の断面図、図6及び図7は後期工程の断面図、図8は最終工程の断面図である。ここで、各図面における

(a)、(b)、(c)は、それぞれメモリセル内、周辺回路部(Nch)、周辺回路部(Pch)を示している。

【0030】まず、図1に示すように、P⁻型半導体基板(シリコン)1上に通常の選択酸化(LOCOS-Local Oxidation of Silicon)法等の方法により、フィールド酸化膜2を形成する。フィールド酸化膜2は、基板中に開口を形成し、その内部に酸化膜を埋め込むトレンチ分離等の、他の方法により形成されたものでもよい。フィールド酸化膜2によって区画された素子能動領域上にゲート酸化膜3を形成した後に、例えば膜厚200nm程度のポリシリコン膜やタングステンシリサイド膜のような導電膜を全面に成長させ、この導電膜を所定の形状にパターニングし、ゲート電極4を形成する。周辺回路部(Pch)上のみにレジストを形成し、例えばリンのような不純物の注入により、メモリセル内と周辺回路部(Nch)の拡散層部のみにN⁻拡散層5を形成した後、レジストを除去する。本実施形態では、メモリセル内と周辺回路部(Nch)のN⁻拡散層は、同時に同じ不純物の注入を行っているが、それぞれ別にパターニングを行い、別の注入を行ってもよい。

【0031】続いて、図2に示すように、シリコン酸化膜6を全面に成長させる。このとき、ゲート電極4の間隔をS、シリコン酸化膜6の膜厚をDとすると、 $S < 2 \times D$ となるように、DとSを決定する。例えば、 $S = 150 \text{ nm}$ のときは、Dは75nm以上あればよい。これにより、メモリセル内では、ゲート間がシリコン酸化膜6により埋め込まれた形態になる。

【0032】続いて、図3に示すように、シリコン酸化膜6のエッチングを行う。これにより、メモリセル内では、シリコン酸化膜6がゲート電極間に残存し、埋め込みシリコン酸化膜7を形成する。一方、周辺回路部においては、シリコン酸化膜がゲート電極側壁のみに残存し、シリコン酸化膜サイドウォール8が形成される。

【0033】続いて、図4に示すように、メモリセル内と周辺回路部(Pch)の上部にレジスト9を形成した後、例えばリンや砒素のような不純物の注入を行った後にレジスト9を除去し、周辺回路部(Nch)のみにN⁺拡散層10を形成する。

【0034】続いて、図5に示すように、メモリセル内と周辺回路部(Nch)の上部にレジストを形成した

後、例えばボロンやBF₂のような不純物の注入を行った後にレジストを除去し、周辺回路部(Pch)のみにP⁺拡散層11を形成する。以上により、メモリセル内と周辺回路部のトランジスタ部が全て形成される。

【0035】さらに、図6に示すように、例えば膜厚300nm程度の例えばリンやボロンを含むシリコン酸化膜のような層間絶縁膜12を全面に成長させる。その後、メモリセル内の所定の領域に開口を形成した後、開口部内に例えばリンを含むポリシリコンのような埋め込み導電膜13を形成する。続いて、全面に例えば膜厚200nmのタングステンシリサイド膜のような導電膜を全面に成長させた後、パターニングを行い、ビット線14を形成する。

【0036】続いて、図7に示すように、例えば膜厚300nm程度のリンとボロンを含むシリコン酸化膜のような層間絶縁膜15を全面に形成した後、層間絶縁膜15の所定の領域に開口部を形成する。さらに、例えば膜厚600nm程度のリンを含むポリシリコンのような導電膜を全面に形成し、所定の形状にパターニングを行い、キャパシタ下部電極16を形成する。キャパシタ下部電極16は、通常スタック型と呼ばれる円柱形状又は長方形形状となるが、シリンドー型、フィン型等と呼ばれる3次元構造に加工してもよい。

【0037】続いて図8に示すように、例えば膜厚60nmのシリコン窒化膜のようなキャパシタ絶縁膜17を全面に成長した後、例えば膜厚200nmのリンを含むポリシリコンのような導電膜を全面に成長した後、パターニングを行い、メモリセル内のみにキャパシタ上部電極18を形成する。キャパシタ絶縁膜17は、シリコン窒化膜により形成されているが、シリコン窒化膜/シリコン酸化膜による複合膜、又は酸化タンタル膜等の高誘電膜により形成してもよい。このような高誘電膜の場合には、上下電極として白金、ルテニウム、イリジウムのような導電体が用いられる。さらに、例えばリンとボロンを含むシリコン酸化膜とノンドープのシリコン酸化膜との複合膜による層間絶縁膜19を全面に形成した後、周辺回路部の所定の領域に開口部を形成する。続いて、開口部内部に例えばタングステンのような導電膜による埋め込み導電膜20形成した後、例えばチタン、窒化チタン、シリコンや銅を含むアルミ、窒化チタンのような膜を順次形成した後、パターニングを行い、低抵抗配線21を形成する。以上によりDRAMのメモリセル内及び周辺回路部の基本的な部分を形成することが可能になる。

【0038】本実施形態では、周辺回路部のゲート電極側壁にシリコン酸化膜サイドウォール8を形成する際に、メモリセル内ではゲート電極間が自己整合的に埋め込みシリコン酸化膜7で埋め込まれた形態になる。これにより、メモリセル内ではN⁻拡散層5が、シリコン酸化膜サイドウォール8を形成の際に、エッチング雰囲気

に曝されることがない。

【0039】次に、第2実施形態に関して図面を参照して説明する。図9及び図10は主要工程の断面図、図11は最終工程の断面図である。

【0040】初期、中期及び主要工程は、第1実施形態と全く同様にして形成され、図1乃至図5に示すとおりである。ここまでの工程で、メモリセル内と周辺回路部のトランジスタ部基本構造が全て形成される。

【0041】続いて、図9に示すように、例えば膜厚80nm程度のチタンをスパッタ法により全面に成長した後、窒素雰囲気中で熱処理を行う。さらに、未反応のチタンを硫酸及び過酸化水素の混合液中で除去する。以上により、ゲート上チタンシリサイド膜23、拡散層上チタンシリサイド膜24を形成する。拡散層上及びゲート上には、チタンシリサイド膜を形成しているが、コバルトシリサイド膜等の膜を形成してもよい。

【0042】続いて、図10に示すように、例えば膜厚300nm程度の例えばリンやボロンを含むシリコン酸化膜のような層間絶縁膜12を全面に成長させる。その後、メモリセル内の所定の領域に開口を形成した後、開口部内に例えばリンを含むポリシリコンのような埋め込み導電膜13を形成する。さらに、例えば膜厚200nmのタングステンシリサイド膜のような導電膜を全面に成長した後、パターニングを行い、ビット線14を形成する。

【0043】続いて、図11に示すように、例えば膜厚300nm程度のリンとボロンを含むシリコン酸化膜のような層間絶縁膜15を全面に形成した後、層間絶縁膜15の所定の領域に開口部を形成する。さらに、例えば膜厚600nm程度のリンを含むポリシリコンのような導電膜を全面に形成し、所定の形状にパターニングを行い、キャパシタ下部電極16を形成する。続いて、例えば膜厚6nmのシリコン窒化膜のようなキャパシタ絶縁膜17を全面に成長させた後、例えば膜厚200nmのリンを含むポリシリコンのような導電膜を全面に成長させた後、パターニングを行い、メモリセル内のみにキャパシタ上部電極18を形成する。さらに、例えばリンとボロンを含むシリコン酸化膜とノンドープのシリコン酸化膜との複合膜による層間絶縁膜19を全面に形成した後、周辺回路部の所定の領域に開口部を形成する。続いて、開口部内部に例えばタングステンのような導電膜による埋め込み導電膜20形成した後、例えばチタン、窒化チタン、シリコンや銅を含むアルミ、窒化チタンのような膜を順次形成した後、パターニングを行い、低抵抗配線21を形成する。

【0044】本実施形態によれば、周辺回路部の拡散層がサリサイド化されるため、周辺回路部のトランジスタの電流駆動能力を向上させることができる。また、メモリセル内では、拡散層上がサリサイド化されないため、サリサイド化に伴って発生する接合リークの増加を抑え

ることができる。

【0045】なお、本発明は、第1及び第2実施形態ではストレージノード電極がビット線よりも上層に形成されているCOB構造となっているが、ビット線がストレージノード電極よりも上層に形成されている場合も、同様にして適用することができる。また、本発明は、第1及び第2実施形態ではメモリセル内にはDRAMを用いているが、SRAM等の他のメモリセルにも応用することができる。

【0046】

【発明の効果】第1の効果は次のとおりである。周辺回路部（第2の領域）においてゲート電極側壁に絶縁膜サイドウォールを形成する際に、メモリセル内（第1の領域）においてはゲート電極間が自己整合的に絶縁膜で埋め込まれるようになる。したがって、メモリセル内の拡散層部がエッチング雰囲気に曝されないようにするための、特別な工程を追加する必要がなく、工程数の削減が図れる。

【0047】第2の効果は次のとおりである。周辺回路部（第2の領域）の拡散層上のサリサイド化を行う際に、メモリセル内（第1の領域）の拡散層のサリサイド化は行われぬ。これにより、メモリセル内においてサリサイド化に耐えうるために深い接合を形成する必要がないため、トランジスタの短チャネル効果を抑制することができる。また、サリサイド化に伴って発生する結晶欠陥によるN⁻拡散層の接合リークの増加を抑制することが可能になる。これにより、メモリセルの電荷保持特性を良好に保つことが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の初期工程を示す断面図であり、図1(a)はメモリセル内、図1(b)は周辺回路部(Nch)、図1(c)は周辺回路部(Pch)である。

【図2】本発明の第1実施形態の初期工程を示す断面図であり、図2(a)はメモリセル内、図2(b)は周辺回路部(Nch)、図2(c)は周辺回路部(Pch)である。

【図3】本発明の第1実施形態の中期工程を示す断面図であり、図3(a)はメモリセル内、図3(b)は周辺回路部(Nch)、図3(c)は周辺回路部(Pch)である。

【図4】本発明の第1実施形態の中期工程を示す断面図であり、図4(a)はメモリセル内、図4(b)は周辺回路部(Nch)、図4(c)は周辺回路部(Pch)である。

【図5】本発明の第1実施形態の主要工程を示す断面図であり、図5(a)はメモリセル内、図5(b)は周辺回路部(Nch)、図5(c)は周辺回路部(Pch)である。

【図6】本発明の第1実施形態の後期工程を示す断面図

であり、図6(a)はメモリセル内、図6(b)は周辺回路部(Nch)、図6(c)は周辺回路部(Pch)である。

【図7】本発明の第1実施形態の後期工程を示す断面図であり、図7(a)はメモリセル内、図7(b)は周辺回路部(Nch)、図7(c)は周辺回路部(Pch)である。

【図8】本発明の第1実施形態の最終工程を示す断面図であり、図8(a)はメモリセル内、図8(b)は周辺回路部(Nch)、図8(c)は周辺回路部(Pch)である。

【図9】本発明の第2実施形態の主要工程を示す断面図であり、図9(a)はメモリセル内、図9(b)は周辺回路部(Nch)、図9(c)は周辺回路部(Pch)である。

【図10】本発明の第2実施形態の主要工程を示す断面図であり、図10(a)はメモリセル内、図10(b)は周辺回路部(Nch)、図10(c)は周辺回路部(Pch)である。

【図11】本発明の第2実施形態の最終工程を示す断面図であり、図11(a)はメモリセル内、図11(b)は周辺回路部(Nch)、図11(c)は周辺回路部(Pch)である。

【図12】第1従来例の初期工程を示す断面図であり、図12(a)はメモリセル内、図12(b)は周辺回路部(Nch)、図12(c)は周辺回路部(Pch)である。

【図13】第1従来例の初期工程を示す断面図であり、図13(a)はメモリセル内、図13(b)は周辺回路部(Nch)、図13(c)は周辺回路部(Pch)である。

【図14】第1従来例の中期工程を示す断面図であり、図14(a)はメモリセル内、図14(b)は周辺回路部(Nch)、図14(c)は周辺回路部(Pch)である。

【図15】第1従来例の中期工程を示す断面図であり、図15(a)はメモリセル内、図15(b)は周辺回路部(Nch)、図15(c)は周辺回路部(Pch)である。

【図16】第1従来例の主要工程を示す断面図であり、図16(a)はメモリセル内、図16(b)は周辺回路部(Nch)、図16(c)は周辺回路部(Pch)である。

【図17】第1従来例の主要工程を示す断面図であり、図17(a)はメモリセル内、図17(b)は周辺回路部(Nch)、図17(c)は周辺回路部(Pch)である。

【図18】第1従来例の後期工程を示す断面図であり、図18(a)はメモリセル内、図18(b)は周辺回路

部(Nch)、図18(c)は周辺回路部(Pch)である。

【図19】第1従来例の最終工程を示す断面図であり、図19(a)はメモリセル内、図19(b)は周辺回路部(Nch)、図19(c)は周辺回路部(Pch)である。

【図20】第2従来例の主要工程を示す断面図であり、図20(a)はメモリセル内、図20(b)は周辺回路部(Nch)、図20(c)は周辺回路部(Pch)である。

【図21】第2従来例の主要工程を示す断面図であり、図21(a)はメモリセル内、図21(b)は周辺回路部(Nch)、図21(c)は周辺回路部(Pch)である。

【図22】第2従来例の後期工程を示す断面図であり、図22(a)はメモリセル内、図22(b)は周辺回路部(Nch)、図22(c)は周辺回路部(Pch)である。

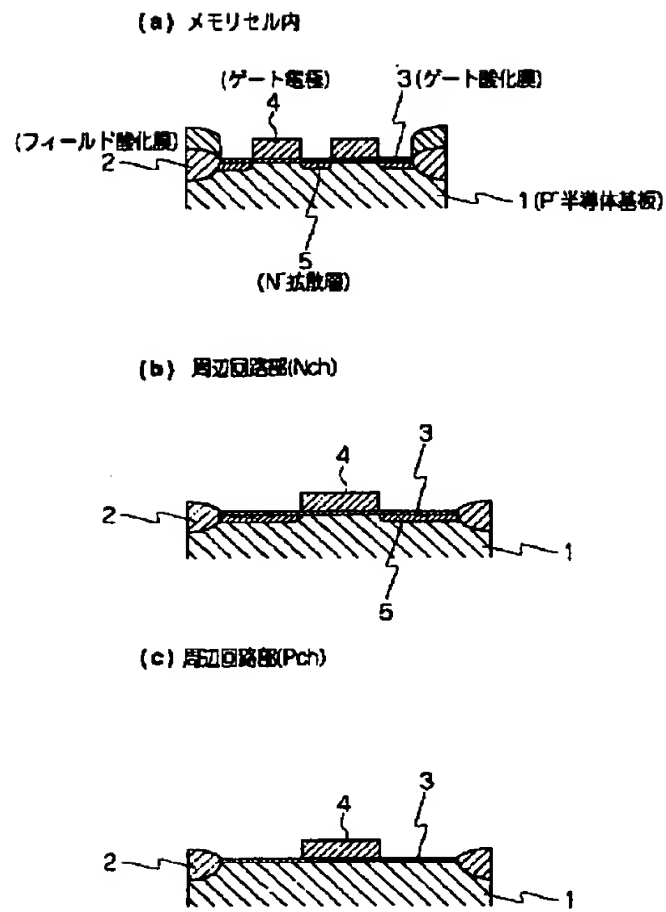
【図23】第2従来例の後期工程を示す断面図であり、図23(a)はメモリセル内、図23(b)は周辺回路部(Nch)、図23(c)は周辺回路部(Pch)である。

【図24】第2従来例の最終工程を示す断面図であり、図24(a)はメモリセル内、図24(b)は周辺回路部(Nch)、図24(c)は周辺回路部(Pch)である。

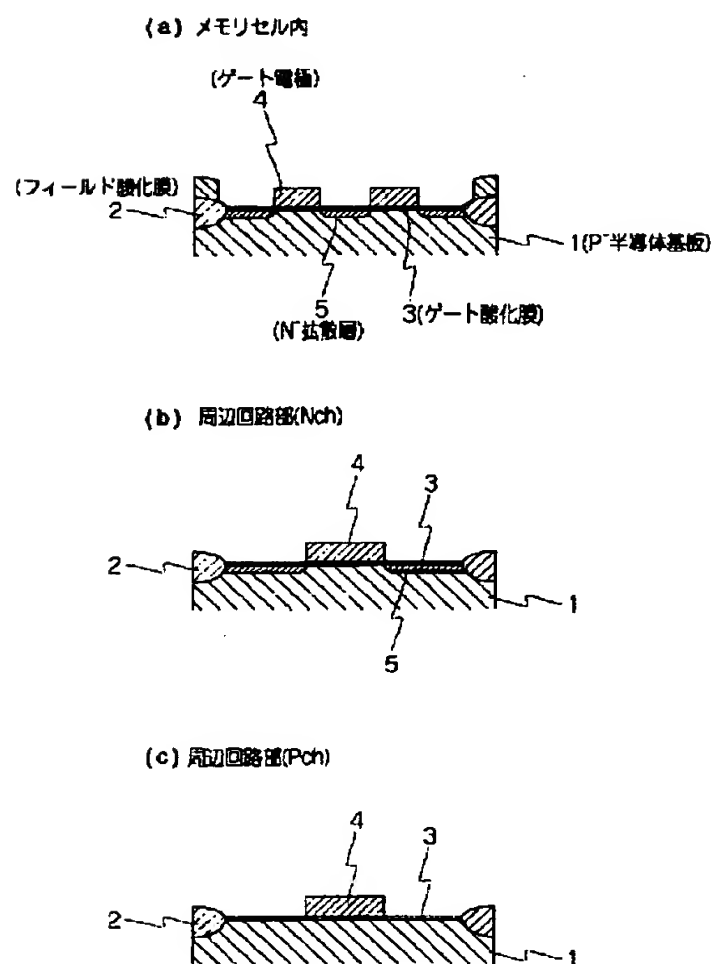
【符号の説明】

- 1 P⁻型半導体基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 N⁻拡散層
- 6 シリコン酸化膜
- 7 埋め込みシリコン酸化膜
- 8 シリコン酸化膜サイドウォール
- 9 レジスト
- 10 N⁺拡散層
- 11 P⁺拡散層
- 12, 15, 19 層間絶縁膜
- 13, 20 埋め込み導電膜
- 14 ビット線
- 16 キャパシタ下部電極
- 17 キャパシタ絶縁膜
- 18 キャパシタ上部電極
- 21 低抵抗配線
- 22 シリコン窒化膜サイドウォール
- 23 ゲート上チタンシリサイド膜
- 24 拡散層上チタンシリサイド膜

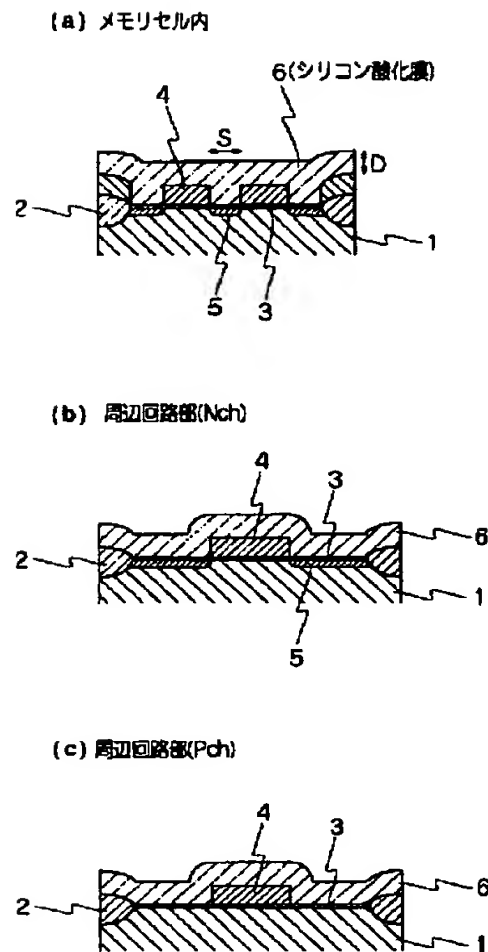
【図1】



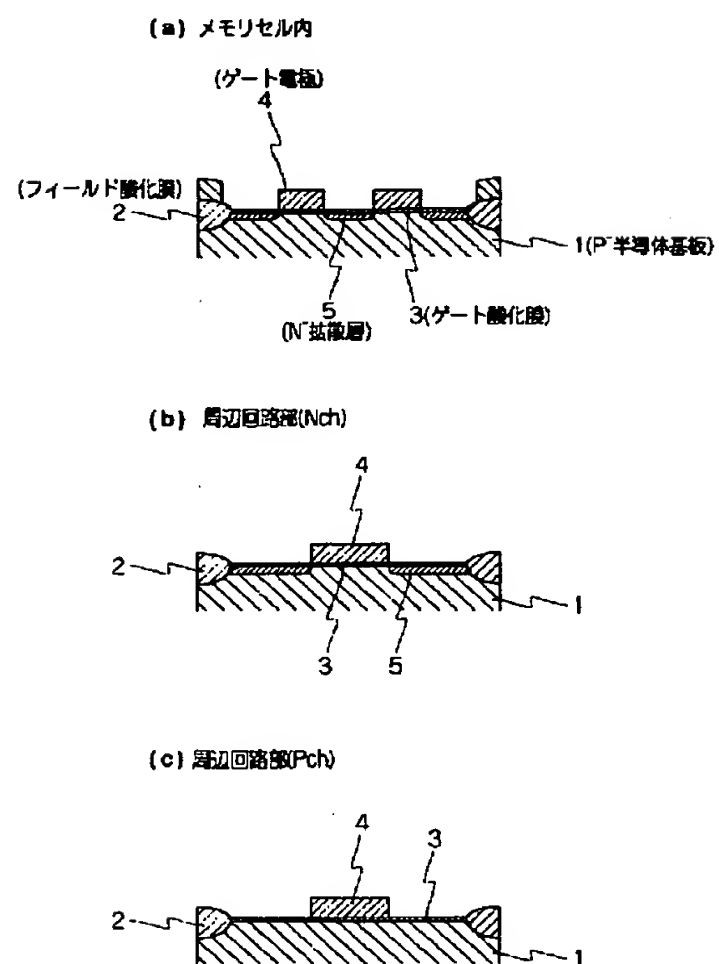
【図12】



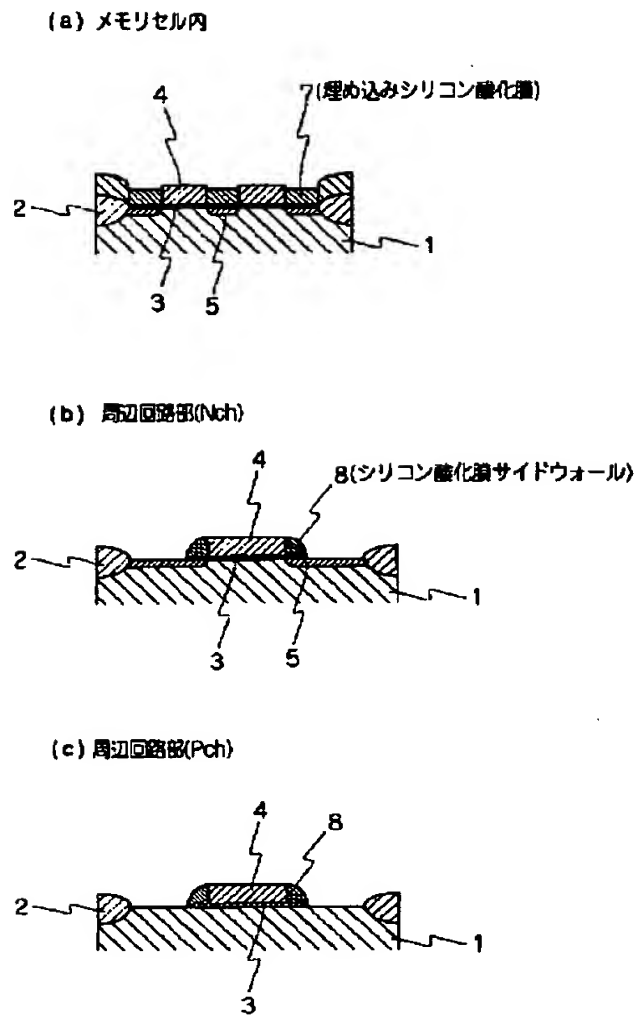
【図2】



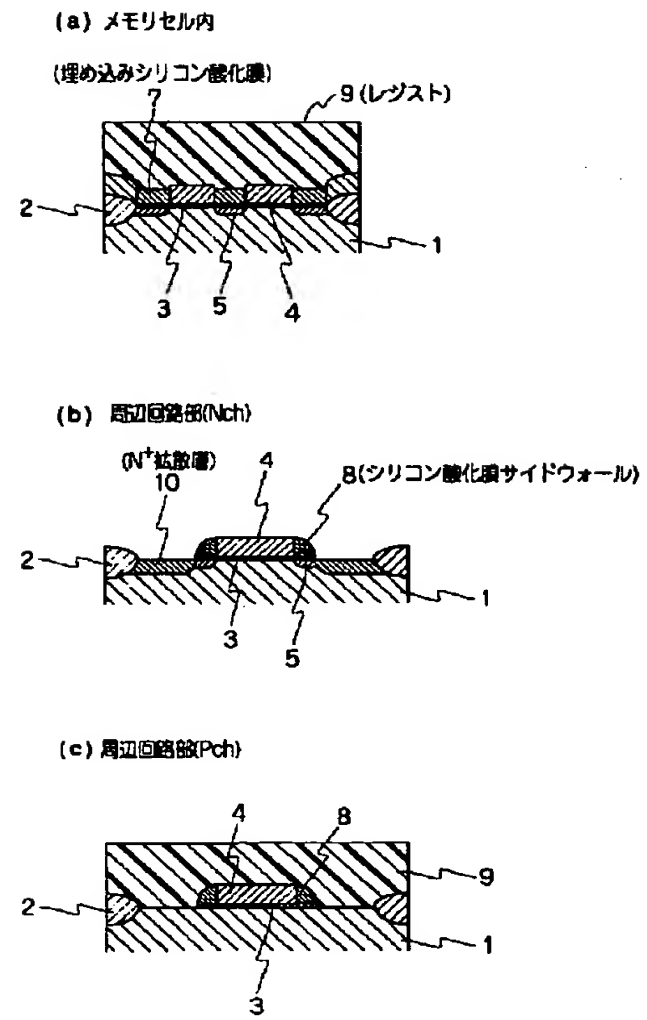
【図20】



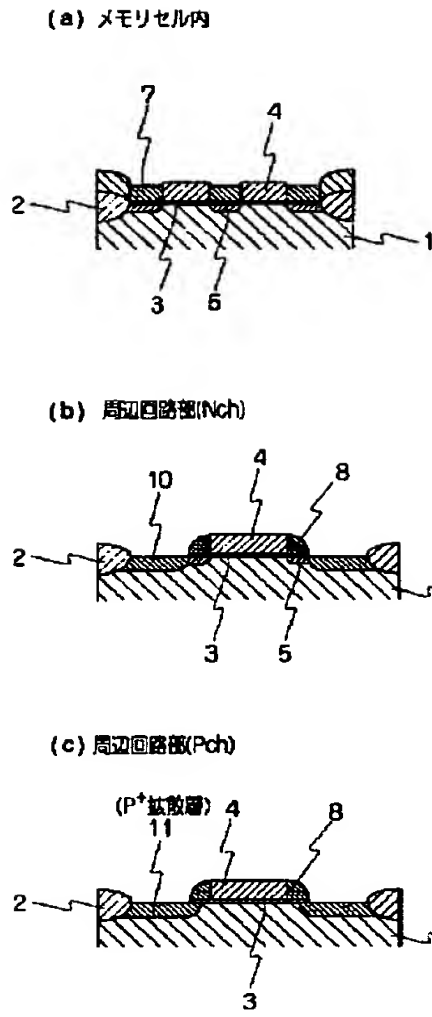
【図3】



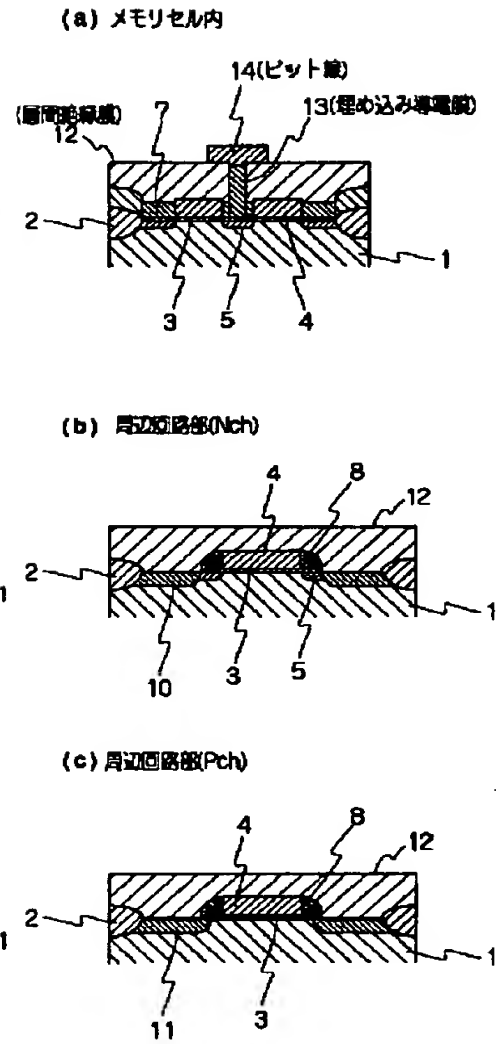
【図4】



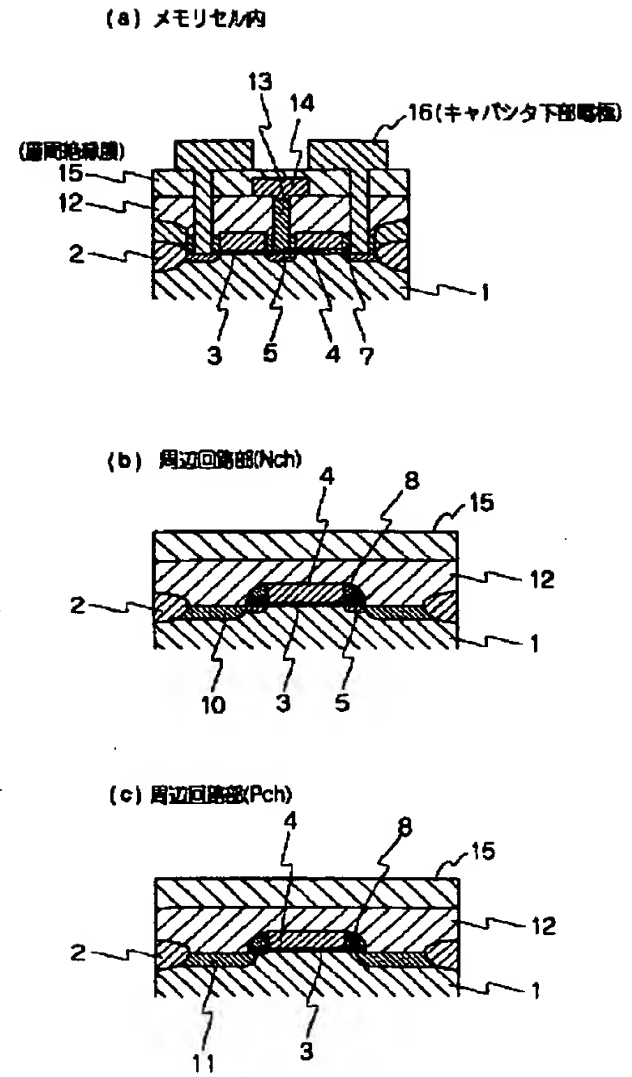
【図5】



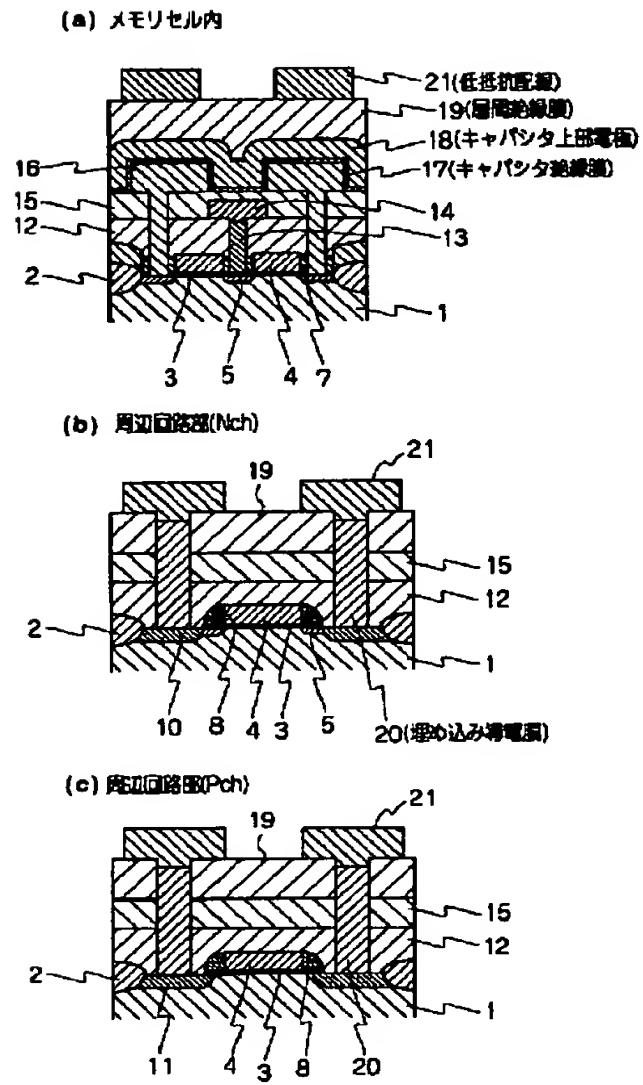
【図6】



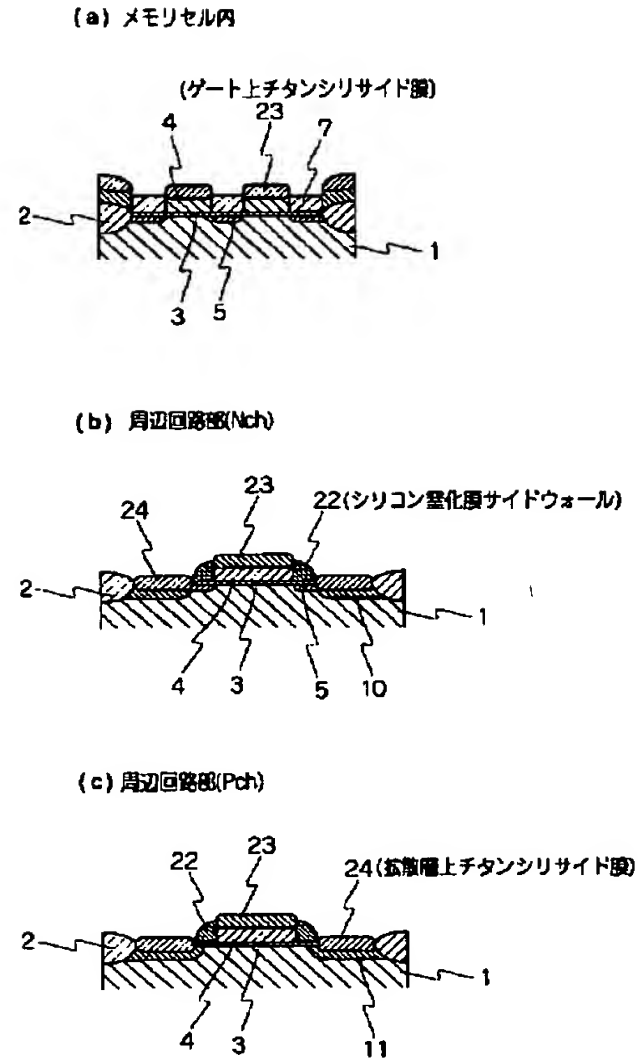
【図7】



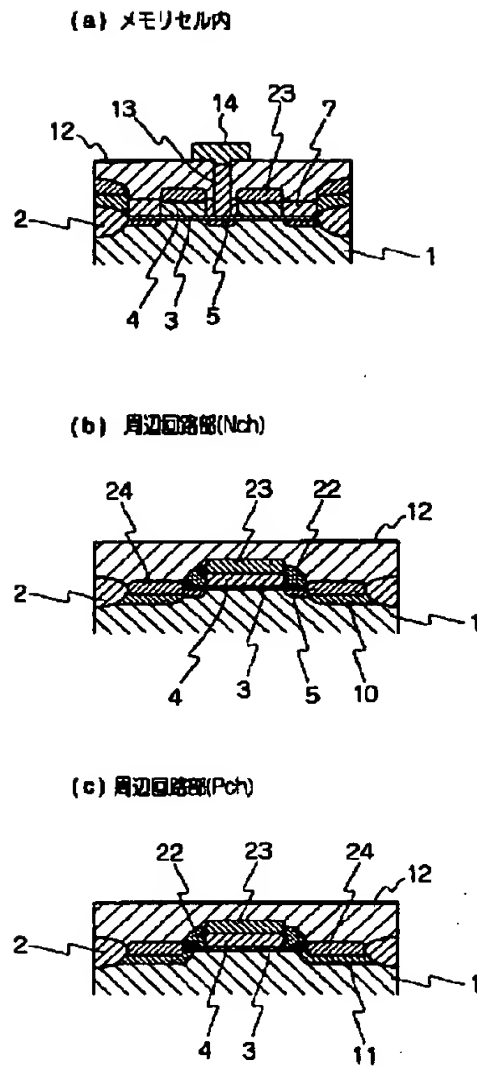
【図8】



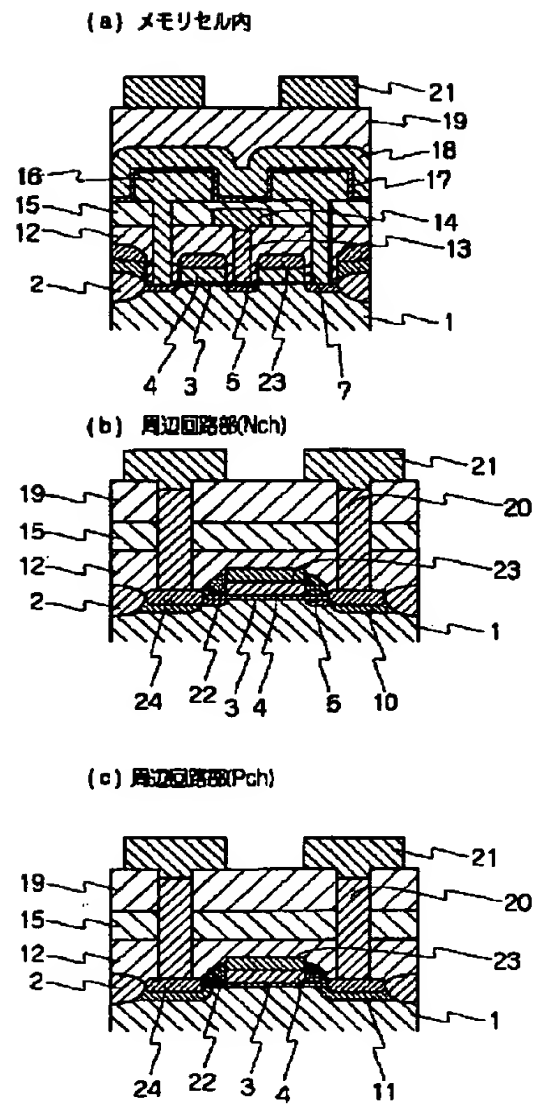
【図9】



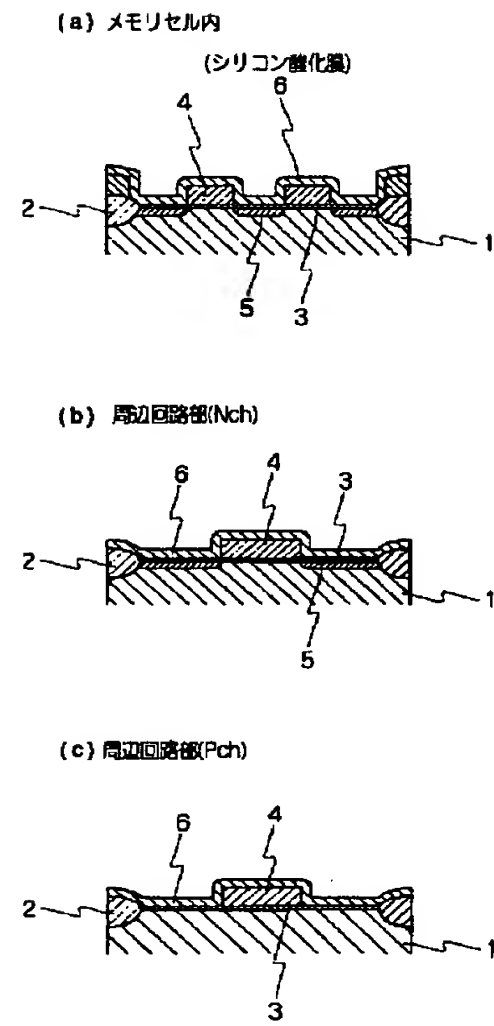
【図10】



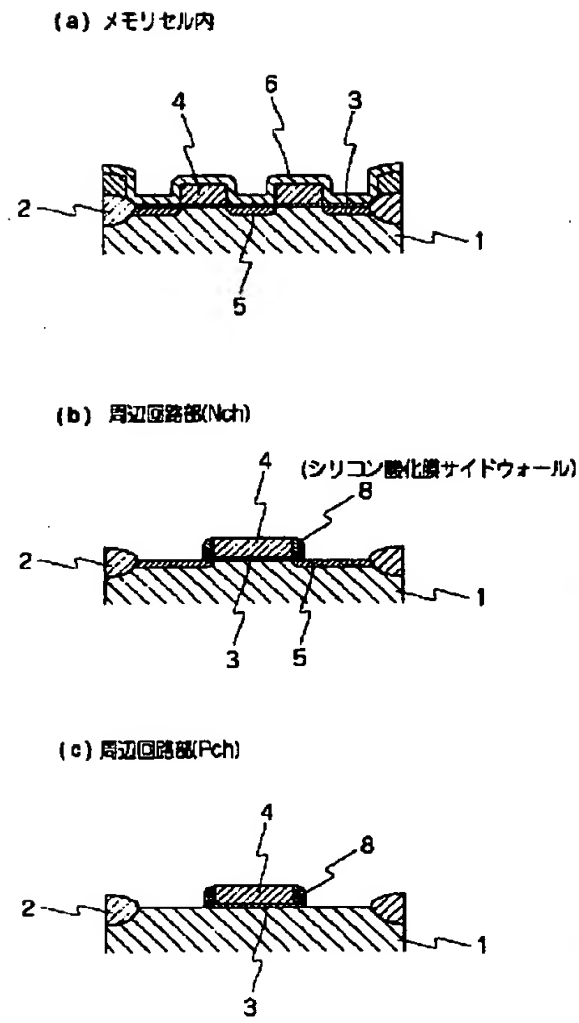
【図11】



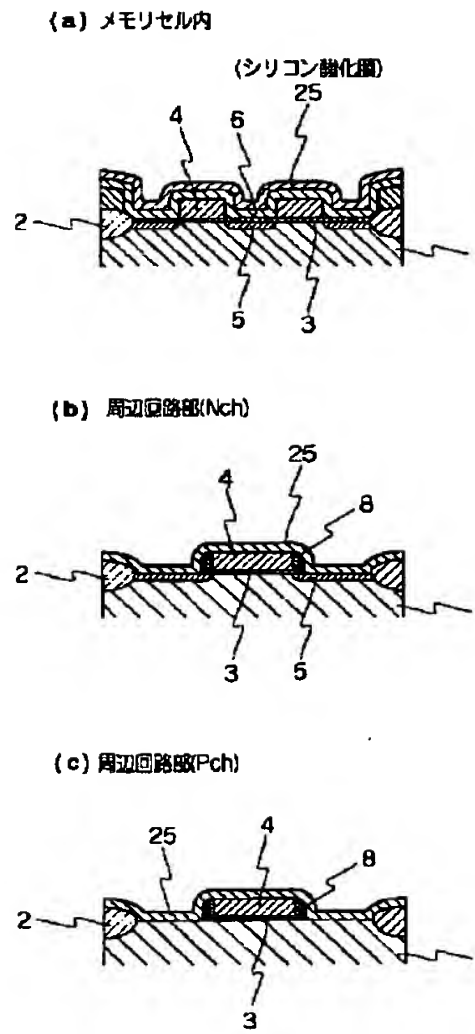
【図13】



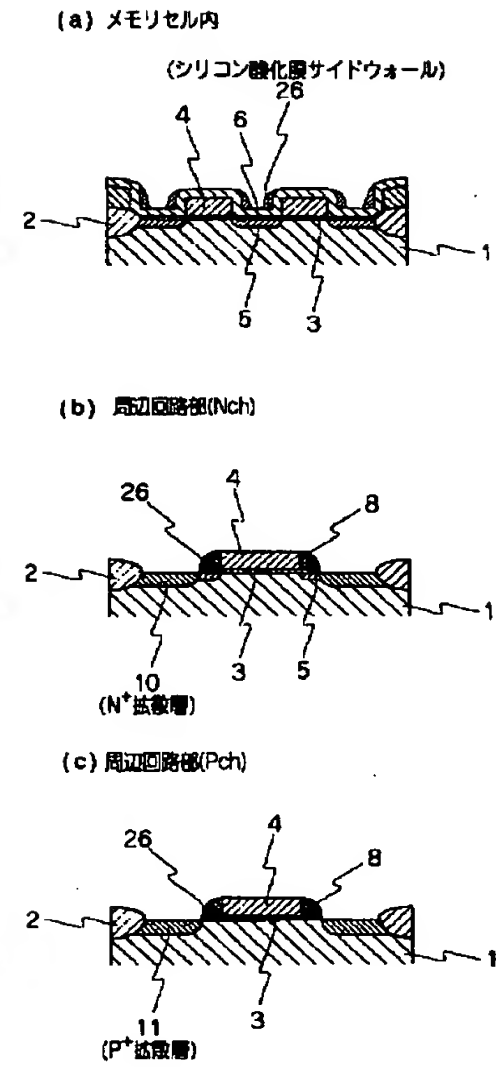
【図14】



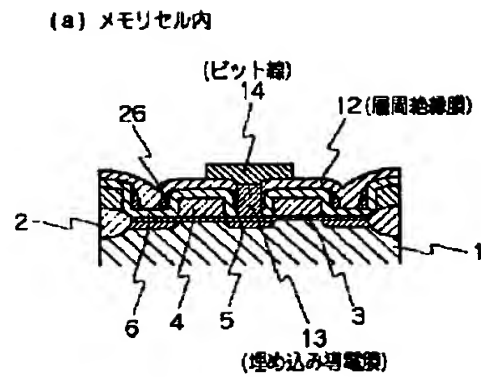
【図15】



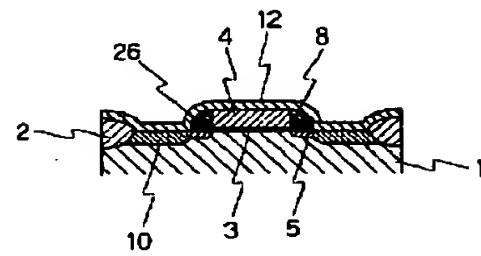
【図16】



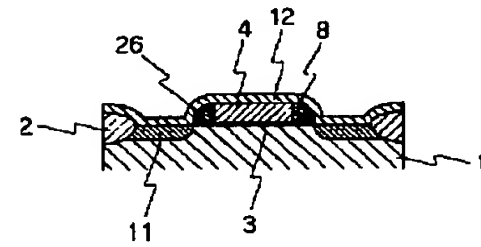
【図17】



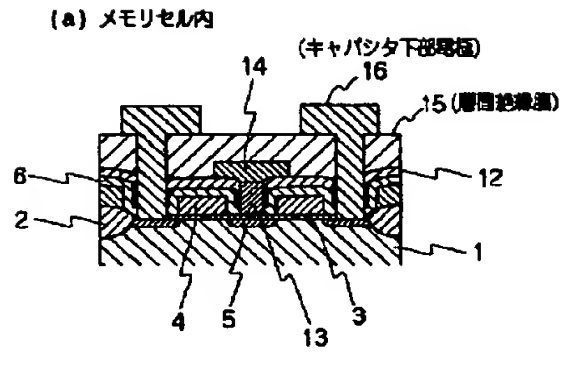
(b) 周辺回路部(Nch)



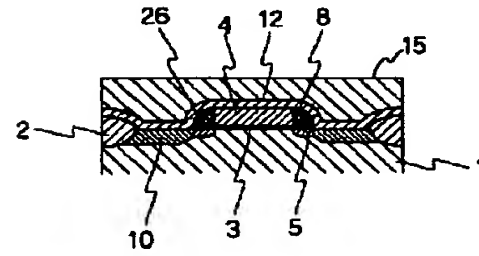
(c) 周辺回路部(Pch)



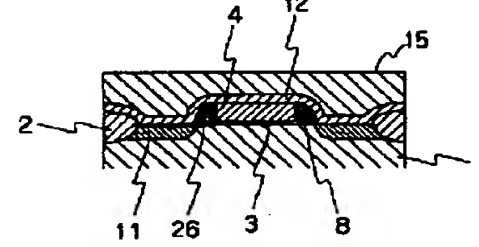
【図18】



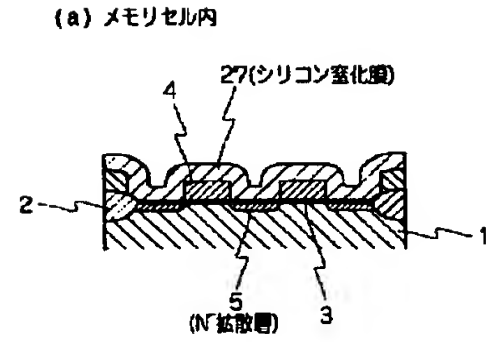
(b) 周辺回路部(Nch)



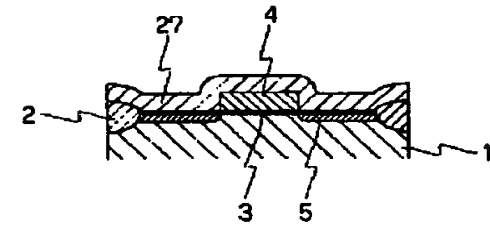
(c) 周辺回路部(Pch)



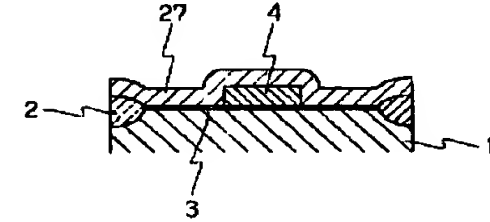
【図21】



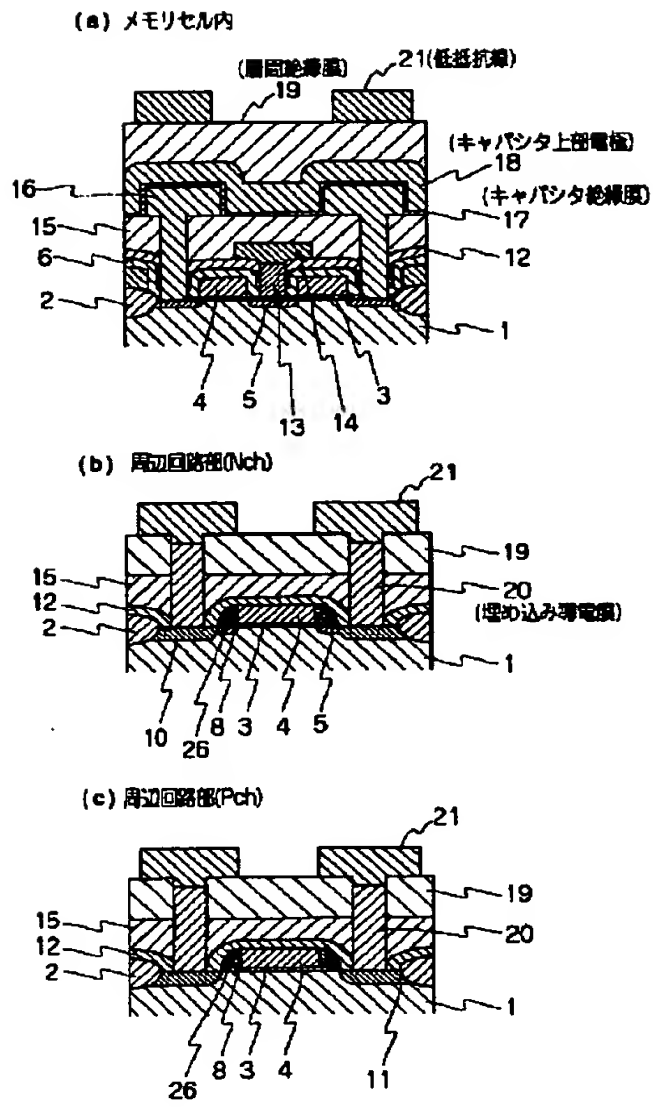
(b) 周辺回路部(Nch)



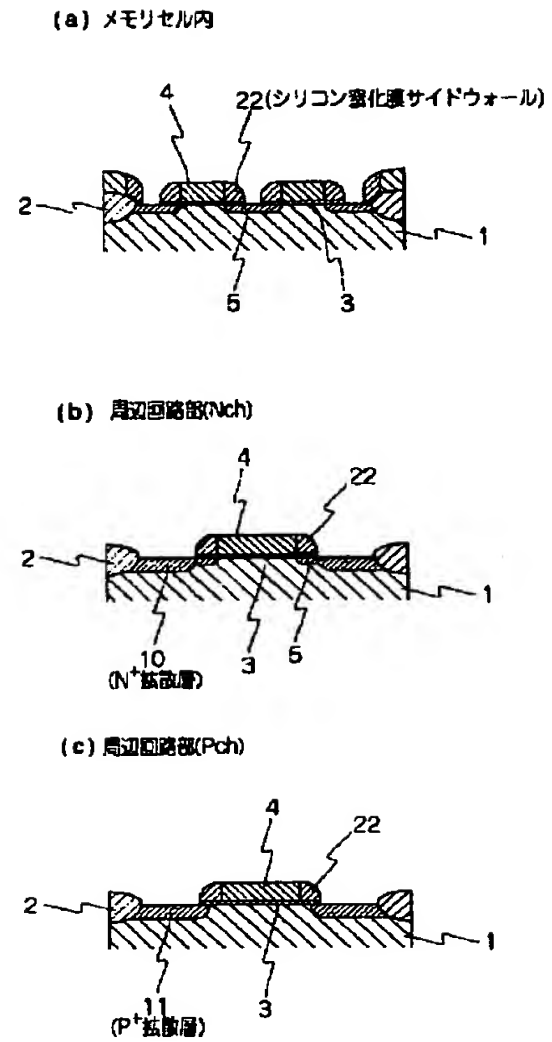
(c) 周辺回路部(Pch)



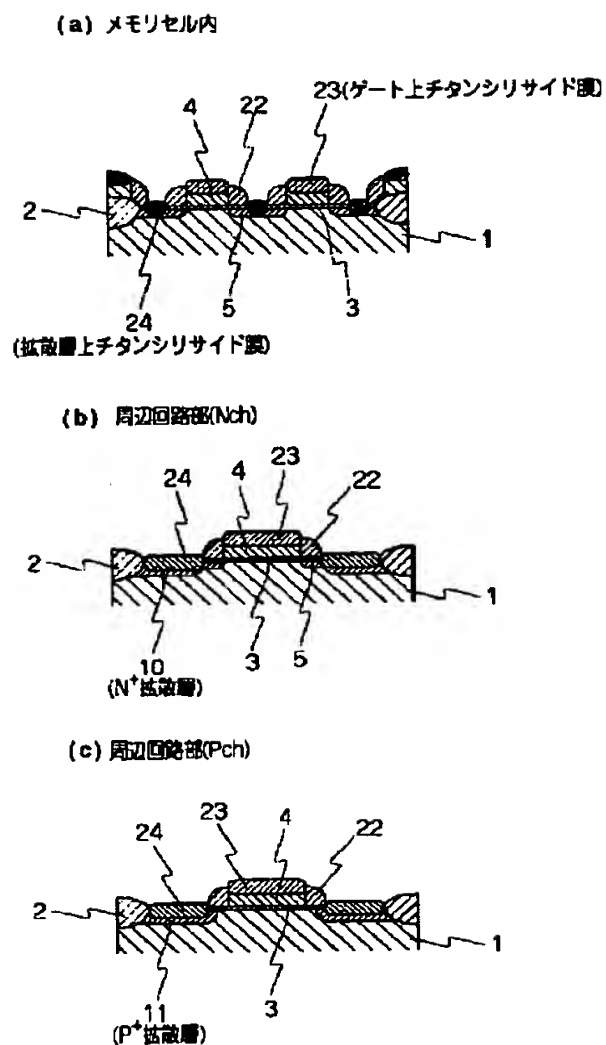
【図19】



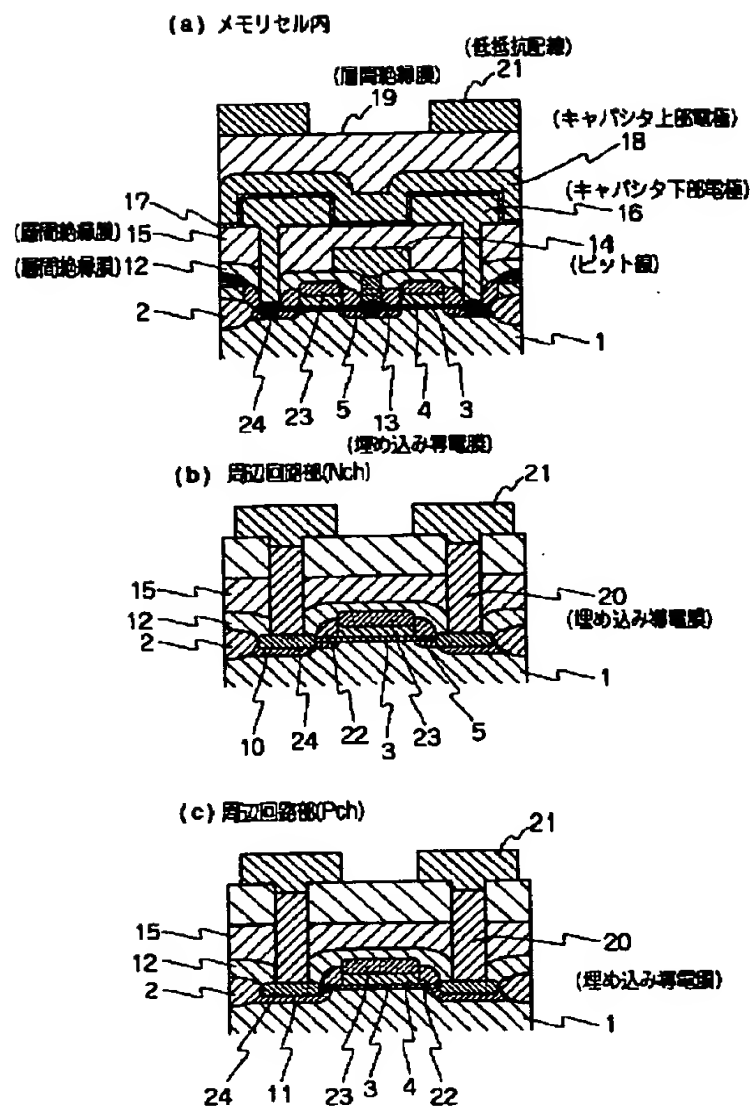
【図22】



【図23】



【図24】



フロントページの続き

(51)Int. Cl.⁶

H01L 29/78

21/336

識別記号

FI

H01L 29/78

301Y